

基于列车实时数据协议的以太网高速通信技术

赵辰阳 王立德 简捷 李召召

(北京交通大学电气工程学院, 100044, 北京//第一作者, 硕士研究生)

摘要 为了满足列车通信网络中过程数据与消息数据传输的需要,在可扩展处理平台上,设计了一种基于列车实时数据协议(TRDP)的以太网网卡,并在此基础上提出一种片间总线接口方法,实现了对过程数据和消息数据的实时交互,解决了传统片间总线速率低的问题;同时利用串并联端接电阻,从硬件上改善了高速片间总线的信号完整性,保证了高速模式下过程数据与消息数据的实时交互;在所搭建的研究测试平台上,实现了TRDP对过程数据的高速传输。

关键词 列车实时数据协议;片间总线;以太网网卡;可扩展处理平台

中图分类号 U285.2

DOI:10.16037/j.1007-869x.2019.03.020

Research on Ethernet High-speed Communication Technology Based on TRDP

ZHAO Chenyang, WANG Lide, JIAN Jie, LI Zhaozhao

Abstract In order to meet the needs of the process data and message data transmission in train communication network, an Ethernet network card based on TRDP architecture is designed on the extensive processing platform. On this basis, a new inter chip bus interface technology is proposed, it realizes the real-time interaction between process data and message data, solves the low transmission rate problems of the traditional inter chip bus technology. By using serial and parallel connection end resistance, the reflection problem of signal integrity under high-speed inter chip bus is solved, and the real-time transmission of TRDP process data under high-speed mode is realized; by building a test platform, the high-speed communication transmission technology based on TRDP is achieved.

Key words train real-time data protocol (TRDP); inter chip bus; Ethernet card; extensible processing platform

Author's address College of Electrical Engineering, Beijing Jiaotong University, 100044, Beijing, China

0 引言

随着车载智能设备和工业控制网络应用的扩

展,列车通信网络(TCN)传输的数据类型和数据量在不断增大,传统现场总线技术已经难以满足列车通信网络不断提高的带宽需求。与此同时,列车的智能化程度越来越高,TCN的作用已经不只是简单的数据传输,还需要实现更多的功能,比如数据分类传输、网络故障诊断、优先级调度等。目前的现场总线技术已经成为限制TCN发展的瓶颈,随着以太网在工业领域的普及以及不断完善,基于以太网的TCN逐渐成为了研究的热点。

虽然工业以太网技术作为IEC 61375标准的新成员,已逐渐成为下一代TCN的潮流,但是工业以太网尚有一个重要的问题有待解决:工业以太网通信速率不高、带宽小,不能高速传输过程数据和消息数据。

已有学者尝试解决上述问题。文献[1]将列车实时数据协议(TRDP)应用到列车控制管理系统中,通过使用新型TRDP,来提高TCN的通信速率,解决以太网通信速率低的问题;文献[2]通过引入时分复用机制,提出了一种新的以太网列车的通信速率改进方法;文献[3]提出了一种新型的基于以太网的TCN系统,从控制策略入手进一步改进以太网列车速率低的问题。本文在已有研究的基础上,首先从总线接口入手,提出了一种片间总线通信协议,将片间总线通信速率提升至百兆左右;然后通过信号完整性分析,在硬件上,从反射问题入手,大大降低高速数据传输下信号波形发生畸变的概率,保证高速数据传输的可行性;最后提升TRDP传输过程数据与消息数据的性能。

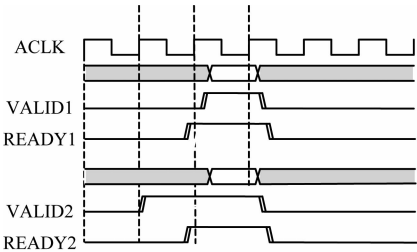
1 片间总线接口技术

1.1 片间总线时序逻辑

本文提出的片间总线主要用在以FPGA(现场可编程门阵列)为主导的大批量、高速率数据的传输应用。

该片间总线所采用的是一种READY-V ALID

握手通信机制。FPGA 与 ARM(高级 RISC(精简指令集计算机)微处理器)进行数据通信之前,先根据操作对各所用到的数据、地址通道进行握手。主要操作包括 FPGA 接收到 ARM 的 READY 信号后,将数据与 VALID 信号同时发送给 ARM,这是一种典型的握手机制,如图 1 所示。



注:ACLK 为片间总线时钟信号
图 1 握手时序图

本文设计的片间总线包含 4 组通道:读写地址通道、读写数据通道,以及相应的写应答通道和系统通道:

- (1) 读地址通道:主要包含 ARVALID、ARADDR、ARREADY 等信号。
- (2) 写地址通道:主要包含 AWVALID、AWADDR、AWREADY 信号。
- (3) 读数据通道:包含 RVALID、RDATA、RREADY、RRESP 信号。
- (4) 写数据通道:包含 WVALID、WDATA、WSTRB、WREADY 信号。
- (5) 写应答通道:包含 BVALID、BRESP、BREADY 信号。
- (6) 系统通道:包含 ACLK、ARESETN 信号。

其中,ARESETN 为复位信号,低电平有效;READY 与 VALID 是对应的通道握手信号;BRESP 与 RRESP 分别为写回应信号和读回应信号。其读写操作顺序如图 2 所示。

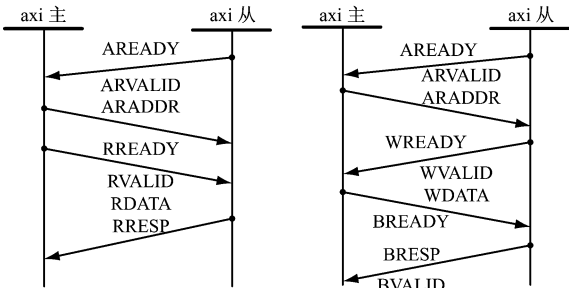


图 2 通信握手过程图

读操作顺序为主节点与从节点进行读地址通

道握手并传输地址内容,然后在读数据通道握手并传输所读内容以及读取操作的回应,时钟上升沿有效;写操作顺序为主节点与从节点进行写地址通道握手并传输地址内容,然后在写数据通道握手并传输所读内容,最后再写回对应通道,并传输写回应数据,时钟上升沿有效。

本文有限状态机(FSM)的设计采用的是一种时序电路设计常用的设计方式,尤其适合设计数字系统的控制模块。FSM 具有速度快、结构简单、可靠性高等优点。片间总线主要通过 FSM 对片间总线从进行相关的数据及地址访问。其读写状态的状态转移图如图 3 所示。

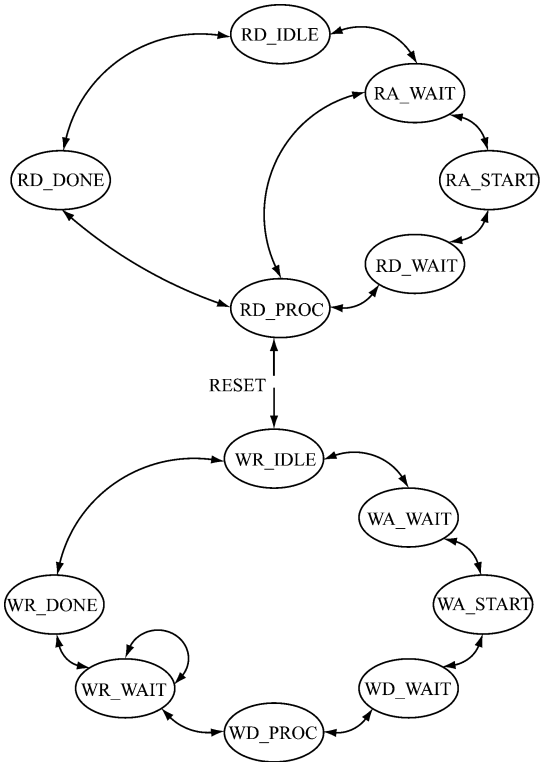


图 3 读写状态的状态转移图

图 3 所示的状态转移图一共设置了 8 个状态,分别是复位(RESET)、读写初始化(RD_IDLE、WR_IDLE)、读写地址等待(RA_WAIT、WA_WAIT)、读写地址就绪(RA_START、WA_START)、读写数据等待(RD_WAIT、WD_WAIT)、读写数据进行(RD_PROC、WD_PROC)、写完成等待(WR_WAIT)及读写完成(RD_DONE、WR_DONE)。FSM 按照此状态转移图过程对片间总线从写数据,实现 FPGA 到 ARM 端的数据传输。ARM 到 FPGA 数据传输的过程与写流程相似。

1.2 突发模式逻辑

本文设计的片间总线协议基于 BURST(突发)模式,主机只给出突发传输的第一个字节的地址。从机必须计算突发传输后续的地址,同时突发模式传输不能跨 4 KB 边界。其时序图如图 4 所示。

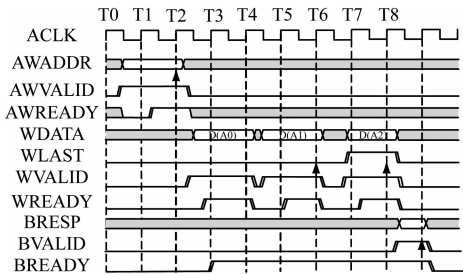


图 4 突发模式时序图

在相应的箭头所指示的位置进行地址和数据的写入。其中读写地址使能、读写数据使能均在时钟上升沿有效,数据传输在 WLAST(写完成信号)使能后完成,整个突发模式过程结束。对突发模式后续地址计算的参数如表 1 所示。

表 1 突发模式计算相关参数

地址相关参数	释义
Start_Address	主机发送的起始地址
Aligned_Address	对齐版本的起始地址
Number_Bytes	每一次传输所能传输的数据字节的最大数量
Data_Bus_Bytes	数据总线上面的字节通道的数量
Burst_Length	一次突发式读写所传输的数据的个数
Address_N	每一次突发式读写所传输的地址数量

则有如下计算公式:

Start_Address = ADDR

Number_Bytes = 2^{SIZE}

Aligned_Address = (INT (Start_Address/Number_Bytes)) · Number_Bytes

Address_1 = Start_Address

Address_N = Aligned_Address + (N - 1) · Number_Bytes

已知 ADDR = 0X0, SIZE = 1,可计算出相应的 Address_N = 2 (N - 1),以及每一次突发模式传输的地址偏移,并可以确认各个 BURST 读写的偏移地址从而完成整个突发模式的读写。

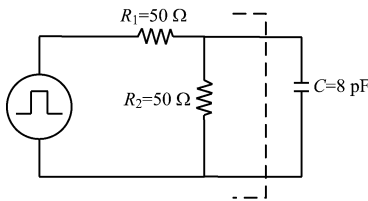
由于有突发模式逻辑以及有限状态机的支持,每次传输的数据字节可以大大增多。由于每次传

输的数据量呈指数增长,传输速率大大提高。

2 以太网高速通信的反射问题

网卡设计有高速 DDR(双倍速率)通路,且片间总线的通信速率在百兆左右,因此需要解决信号反射的问题,以保证片间总线高速通信的可靠性。

信号的反射一般以过冲以及振铃的形式表现出来,其存在会大大影响通信的信号质量,严重时,可能会导致信号无法传输。信号的反射和互连线的阻抗密切相关,反射的本质就是互连线中的阻抗发生了变化。只要互连线中存在阻抗不连续的点,该处就会发生反射。由于任何接收器都会有一定的输入电容,焊盘、封装等都会引入一定量的寄生电容。输入电容或者寄生电容就是容性阻抗不连续点,其到达接收器的时候就会产生相应的反射现象。不仅如此,容性负载还表现在类似于容性结构的负载,如芯片引脚较宽的焊盘、低速信号的过孔等都可以看做容性负载。例如本次设计的 DDR 电路,其采用的是桩线很短的菊花链拓扑结构,链路中的每一个接收器都相当于一个容性负载。其等效电路如图 5 所示。



注:R——电阻;C——电容

图 5 DDR 等效电路图

该类的容性负载位于传输线中间,设计该网卡的传输线阻抗 Z₀都是 50 Ω,因此信号到达电容时就相当于通过一个 25 Ω 电阻进行充电。设入射电压最大值为 U,则 C 两端的电压为:

$$V_c = U(1 - e^{-\frac{t}{\tau}})$$
 (1)

式中:

τ——电路的时间常数,τ = $\frac{1}{2}$ z₀ C,其中 Z₀ 为传输线阻抗;

t——信号到达电容的时间。

流过电容的电流 I_C 为:

$$I_c = C \frac{dV_c}{dt} = \frac{2U}{Z_0} e^{-\frac{t}{\tau}}$$
 (2)

电容的阻抗 Z_c 为:

$$Z_e = \frac{V_c}{I_c} = \frac{Z_0}{2}(e^{\frac{t}{\tau}} - 1)$$

(3)

本文 τ 取0.2 ns。当 t 为1 ns时,信号到达电容并开始对电容充电。当 τ 为0.2 ns时,电容电压上升到632 mV,该值是其终端电压的63.2%。

由于信号传播到电容时,感受到的阻抗是电容阻抗和后面一段传输线阻抗的并联,并联阻抗 Z_p 为:

$$Z_p = Z_0 \frac{e^{\frac{t}{\tau}} - 1}{e^{\frac{t}{\tau}} + 1}$$

(4)

反射系数 γ 为:

$$\gamma = \frac{Z_p - Z_0}{Z_p + Z_0} = -e^{-\frac{t}{\tau}}$$

(5)

如果设上升时间 $t_r=0$,则2 ns后容性负载的反射信号返回到发送端,反射、入射信号叠加口波形电压下降到0;之后,信号的电压按照指数的规律不断增加,上升时间由 τ 决定。

接收端容性不连续会使得高低电平叠加一定的噪声,信号到达接收端后由于接收端的高阻抗而发生反射,反射信号幅度与入射信号相同。反射信号到达中间电容时又会发生反射,电压为负。信号就这样在容性阻抗不连续点和其他阻抗不连续点之间不断叠加,会产生很大的噪声。

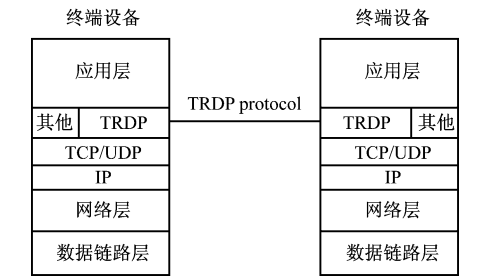
实际电路中不存在理想的传输线,也不可能完全匹配,因此信号反射是必然存在的。设计的关键在于如何把互连链路中的各个部件阻抗差距尽量缩小,从而减小反射信号幅度,避免多级反射对信号质量造成致命影响。实际电路中,在单端信号以及差分信号中做相应的阻抗匹配,例如单端信号按照50 Ω 的阻抗匹配,差分信号按照100 Ω 的阻抗匹配,从而使反射系数或者负载反射系数为0,以此来减弱或者消除信号的反射问题。同时,在实际电路中,1个驱动源驱动2个DDR芯片,且其拓扑结构采用的是菊花链拓扑,因此可采用串行端接的方式,在传输线源加33 Ω 的端接电阻来抑制反射的增大。

3 TRDP 的实现

3.1 TRDP

TRDP 规定了 TCN 过程数据和消息数据在 TCN 中的通信流程。如图6所示,以标准以太网协议栈为基础,在传输层与应用层之间增加了 TRDP 层,能够为 TCN 中任意两个设备之间的过程数据和

消息数据通信提供有安全性保障的端到端数据传输。与此同时,TRDP 兼容标准以太网协议栈。



注:TCP——传输控制协议;UDP——用户数据包协议

图6 TRDP 协议栈

TRDP 由过程数据 PD 接口、消息数据 MD 接口、精简 TRDP、虚拟操作系统 VOS(软交换)和实用程序等构成。过程数据接口处理 TCN 上的过程数据,消息数据接口处理 TCN 上的消息数据。其中高级 PD/MD 接口包括调度、线程,以及过程数据和消息数据的触发等功能。实用程序部分包括数据的编组/解组、TRDP XML 配置文件的读取、IP/URI 地址转化、安全数据的传输,以及列车拓扑信息的访问等功能。VOS 提供了与不同操作系统的接口,上层的应用程序通过调用不同的接口实现不同操作系统下的通信功能。

3.2 过程数据通信流程

TRDP 规定了过程数据和消息数据的帧格式、通信流程,并提供了相应的接口函数。本文以过程数据为例,对数据传输模式进行分析。

过程数据的通信包括推模式和拉模式,其中主要的通信角色包括发布者 Publisher、请求者 Requester 和订阅者 Subscriber。

推模式是源端口按照固定的周期定时向订阅者宿端口发送过程数据,源端口作为发送数据的发布者,宿端口作为接收数据的订阅者,其通信方式如图7所示。

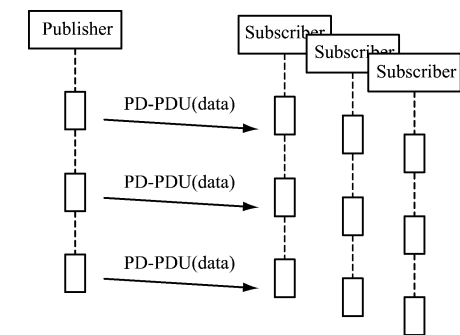


图7 推模式(一对多)通信方式

拉模式的工作模式为:由宿端口 sink 作为请求者并向作为广播者的源端口发送请求消息,源端口收到来自宿端口的请求回复消息之后,立即将待发送的数据回复给宿端口,此时宿端口作为订阅者,其通信方式如图 8 所示。

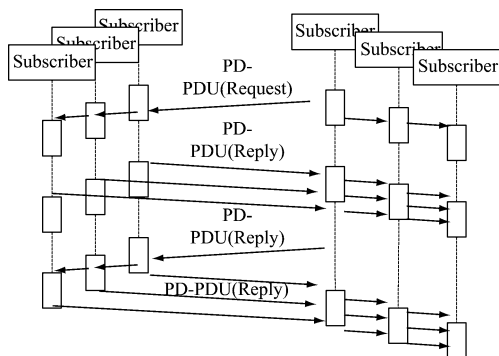


图8 拉模式(多对多)通信方式

Publisher 作为数据的发送方,在推模式下循环发送过程数据 PD,以及在拉模式下发送回复信息。同时在推模式下源端口按照固定周期定时向宿端口发送过程数据。Subscriber 在拉模式和推模式中均为数据的订阅者。

4 试验测试与分析

本文设计的以太网卡硬件上使用赛灵思公司提供的 ZYNQ 系列芯片,型号为 XC7Z020-2CLG400I。该类型芯片采用 FPGA + ARM 架构,搭载双核 Cortex-A9 应用处理器 AMBA,互连内部存储器、外部存储器接口以及外设^[4-5]。其中,ARM 系统及外设主要有:片上只读内存(Read-Only Memory,ROM)、256 kB 片内随机存储内存(Random Access Memory, RAM)、2 个千兆网卡以及片内 ARM 与 FPGA 之间的高带宽连接。FPGA 部分主要有:逻辑单元 85 000 个、查找表 53 200 个、触发器 106 400 个以及 JTAG(一种国际标准测试协议)调试接口 1 个。软件采用 linux 3.82 操作系统,TRDP 功能用 C 语言编程实现。

ZYNQ(可扩展处理平台)下 TRDP 程序的编译需要遵循以下步骤:

(1) 编写测试程序,进行通信模式、通信量的配置。

(2) 编写 Makefile(文件编写),定义编译规则。

(3) 配置环境变量并设置编译链。

本次测试是在 2 个嵌入式终端设备之间,进行

一对一、点对点的 TRDP 过程数据通信测试。2 个设备节点分别生成 28 个源端口,以及 28 个宿端口。本次测试中,数据帧内容包括本地 IP、目的 IP、数据发送周期以及数据长度,不同的端口通信周期设定为 100 ms;数据长度设定为 1 432 bit。

通过在 TRDP 以太网卡中产生相应的过程数据,将其存入 DDR 内存中的相应地址位置,同时在电脑终端显示器上显示过程数据发送的信息。利用逻辑分析仪,可以看到片间总线通过读取 DDR 内存,将 ARM 中的过程数据传送到 FPGA,通过对比发送的过程数据,可以确认过程数据包发送的 7C7C7C7C...在 Chipscope(一款在线调试软件)上抓取出来,如图 9 所示。

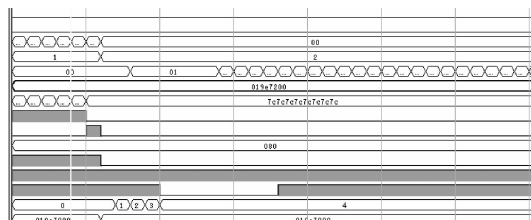


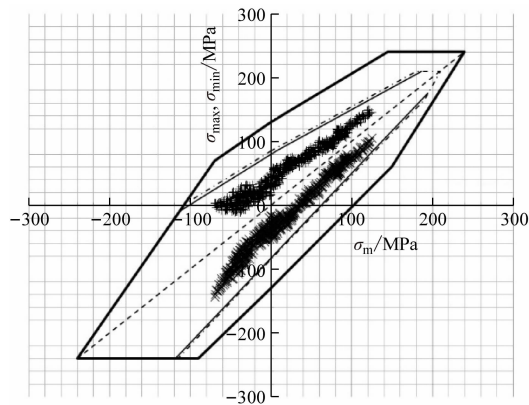
图9 过程数据波形图

Wireshark 是一个网络封包分析软件。Wireshark 的功能是截取网络封包,并尽可能显示出最为详细的网络封包资料。

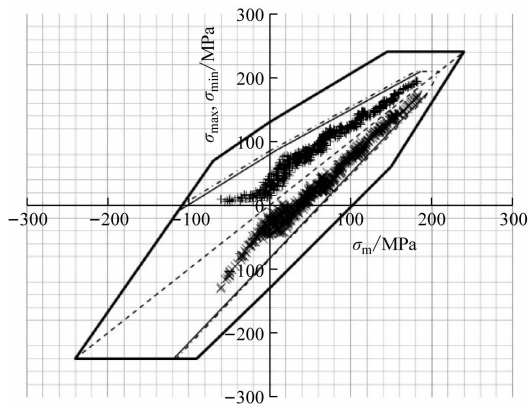
以测试时 100 ms 下传输 1 432 bit 数据为例,单包数据传输速率设为 13.98 kbit/s;通过 Wireshark 抓包软件进行统计分析,可以得出在传输过程数据时数据包的接收速率近似为 6 590 个/s。这样通过计算以太网每秒传输的包数乘以单包传输的 bit 数,最终就得出通信速率为 94.36 Mbit/s。由于 MVB(多功能车辆总线)、WTB(绞线式列车总线)、ARCNET(一种令牌总线网络)等其他铁路通信网络速率均不高于 10 Mbit/s,通过对比明显看出基于 TRDP 下的数据通信速率远远高过 MVB、WTB、ARCNET 等铁路通信网络的最高通信速率。

该测试状态为网络空闲时的状态。但以太网网速受多种情况的影响^[6-8],比如:①测试时使用的 TCP 通信协议,容易出现数据延迟、数据错位以及数据丢失的问题;②网络质量差会导致设备之间延迟过高,通信不稳定。所以,其网建不能完全达到 100 Mbit/s,但是也基本可满足列车通信速率的要求。

(下转第 126 页)



a) 摇枕 Bottom 面



b) 摇枕 Top 面

图8 摇枕疲劳极限图

适用于悬挂式单轨,并且建立出一套适用于悬挂式单轨的强度计算标准。

参考文献

- [1] 王洪娇,杨翊仁. 地铁车辆转向架构架静强度分析的一般方法研究[J]. 城市轨道交通研究,2016(11):43.
- [2] 蒲全卫,陈喜红,陶功安,等. 悬挂式独轨列车转向架[J]. 机车电传动,2015(2):90.
- [3] 沈彩瑜. 铁道车辆转向架构架疲劳强度研究[D]. 成都:西南交通大学,2014.
- [4] 罗华军,陈喜红,陶功安,等. ZMA100 型转向架构架的结构特

点和强度研究[J]. 电力机车与城轨车辆,2014(1):5.

- [5] 肖守讷,杨冰,曲天威,等. EN 13749 标准在机车轴箱体强度分析中的推演应用[J]. 机车电传动,2013(2):38.
- [6] CENELEC. Railway applications-wheelsets and bogies-method of specifying the structure requirements of bogie frames;EN 13749-2011 [S]. Brussels: CENELEC, 2011.
- [7] UIC. Passenger rolling stock trailer bogies-running gear bogie frame structure strength tests; UIC 515-4-93 [S]. Paris: UIC, 1993.

(收稿日期:2017-04-21)

(上接第 89 页)

5 结语

本文结合 FPGA 与 ARM,设计了符合铁路通信标准的基于 TRDP 的以太网卡。通过提出一种片间总线技术,从软件和硬件的角度入手,解决了以太网数据传输速率低的问题,有效保障了列车数据高速通信,为工业以太网应用于 TCN 又向前迈进一步。

参考文献

- [1] 程艳丽,尤新,乔长亮. TRDP 协议在列车控制管理系统中的应用[J]. 通讯世界,2017(9):332.
- [2] 寸天睿. 以太网列车的网络实时性改进方法研究[D]. 长沙:中南大学,2012.

- [3] 李拥军. 基于实时以太网的中低速磁浮列车网络控制系统[J]. 电力机车与城轨车辆,2018(3):12.
- [4] 李正轩,费树岷. 基于 ZYNQ 7000 的高速信号采集处理平台[J]. 单片机与嵌入式系统应用,2016(2):44.
- [5] 陈特放,曾秋芬. 列车微机与网络控制技术及应用[M]. 北京:科学出版社,2012.
- [6] 赵冬,杨奇科,叶彪. 基于以太网的第2代分布式列车网络控制系统(DTECS-2)[J]. 城市轨道交通研究,2016(1):69.
- [7] IEC. Electronic railway equipment train communication network part 2-5 ethernet train backbone; IEC 61375-2-5 [S]. Geneva: IEC, 2015.
- [8] 代娇. 基于工业以太网的地铁列车通信网络实时性及仿真研究[D]. 北京:北京交通大学,2016.

(收稿日期:2018-11-09)

欢迎投稿《城市轨道交通研究》

投稿网址:tougao. umt1998. com